

Docket No.: 67161-133

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of : Customer Number: 20277
Motoi ASHIDA : Confirmation Number:
Serial No.: : Group Art Unit:
Filed: December 02, 2003 : Examiner: Unknown
For: SEMICONDUCTOR DEVICE :

CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

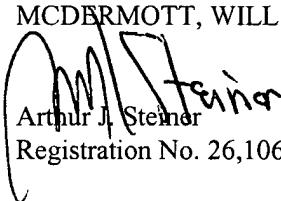
Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application No. 2003-137228, filed May 15, 2003

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY

Arthur J. Steiner
Registration No. 26,106

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 AJS:tlb
Facsimile: (202) 756-8087
Date: December 2, 2003

ASHIDA
December 2, 2003

日本特許庁

JAPAN PATENT OFFICE

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出願年月日

Date of Application:

2003年 5月15日

出願番号

Application Number:

特願2003-137228

[ST.10/C]:

[JP2003-137228]

出願人

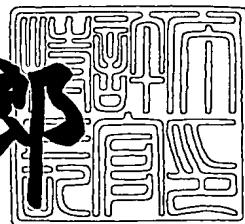
Applicant(s):

株式会社ルネサステクノロジ

2003年 6月17日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3047212

【書類名】 特許願
【整理番号】 543865JP01
【提出日】 平成15年 5月15日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 27/06
【発明者】
【住所又は居所】 東京都千代田区丸の内二丁目4番1号 株式会社ルネサ
ステクノロジ内
【氏名】 芦田 基
【特許出願人】
【識別番号】 503121103
【氏名又は名称】 株式会社ルネサステクノロジ
【代理人】
【識別番号】 100064746
【弁理士】
【氏名又は名称】 深見 久郎
【選任した代理人】
【識別番号】 100085132
【弁理士】
【氏名又は名称】 森田 俊雄
【選任した代理人】
【識別番号】 100083703
【弁理士】
【氏名又は名称】 仲村 義平
【選任した代理人】
【識別番号】 100096781
【弁理士】
【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100098316

【弁理士】

【氏名又は名称】 野田 久登

【選任した代理人】

【識別番号】 100109162

【弁理士】

【氏名又は名称】 酒井 將行

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項1】 PN対向分離膜によって平面的に互いに隔てられた2種類の活性領域であるPMOS領域およびNMOS領域を有する半導体基板と、前記半導体基板の上側において前記PMOS領域、前記PN対向分離膜および前記NMOS領域を一括して横切るように線状に延びるデュアルゲート電極とを備え、

前記デュアルゲート電極は、前記PMOS領域上に位置するP型部と、前記NMOS領域上に位置するN型部と、前記P型部と前記N型部とに挟まれたPN接続部とを含み、

前記PN接続部は、シリサイド化されたシリサイド領域を含み、前記シリサイド領域は、平面的に見て、前記PMOS領域とも前記NMOS領域とも離れており、前記PN対向分離膜の領域の内側に形成されている、半導体装置。

【請求項2】 前記デュアルゲート電極のうち前記シリサイド領域以外の部分は、実質的にシリサイド化防止膜に覆われている、請求項1に記載の半導体装置。

【請求項3】 前記シリサイド化防止膜は、シリコン窒化膜を含んでいる、請求項2に記載の半導体装置。

【請求項4】 平面的に見て前記デュアルゲート電極に一部重なるような位置で、前記活性領域上に配置されたコンタクトを備える、請求項1から3のいずれかに記載の半導体装置。

【請求項5】 前記コンタクトは、平面的に見て前記シリサイド領域を避けた位置に配置されている、請求項4に記載の半導体装置。

【請求項6】 前記コンタクトは、平面的に見て前記PN対向分離膜を避けた位置に配置されている、請求項4または5に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置、特にCMOS(Complementary Metal Oxide Semiconduc-

uctor : 相補型金属酸化膜半導体)トランジスタを備える半導体装置に関するものである。

【0002】

【従来の技術】

CMOSトランジスタは、NMOSトランジスタとPMOSトランジスタとが対になったものである。デュアルゲート電極とは、NMOSトランジスタとPMOSトランジスタとで共通にゲート電極として用いる1本の連続したゲート電極であり、NMOSトランジスタを構成する領域においてはN+ポリシリコン、PMOSトランジスタを構成する領域においてはP+ポリシリコンからなるものである。

【0003】

CMOSトランジスタを備える半導体装置のうち、特にデュアルゲート電極を採用したCMOSトランジスタを備えるものの場合、従来は、デュアルゲート電極のうちN+ポリシリコン部分とP+ポリシリコン部分との間の低抵抗接続を実現するために、自己整合型高融点金属シリサイド化技術を用いて、活性領域の全域、デュアルゲート電極および配線の全域のみを選択的にシリサイド化していた。その一例は、たとえば、特開昭59-107540号公報（特許文献1）に示される。

【0004】

【特許文献1】

特開昭59-107540号公報

【0005】

【発明が解決しようとする課題】

従来は、活性領域、デュアルゲート電極および配線の全域に対してシリサイド化していたので、シリサイド化した後でデュアルゲート電極の上側を覆うようにデュアルゲート電極と同形の絶縁膜を形成することはできなかった。そのため、このような絶縁膜をストップ膜として利用して自己整合的にコンタクトホールを開口するようなことができなかった。

【0006】

また、活性領域の全域が高融点金属シリサイド化される場合、シリサイド化の異常進行などの不具合により、活性領域とウェルとの間の電気的リークをもたらすことがしばしば発生していた。そのため、活性領域のシリサイド化は好ましくなかった。

【0007】

そこで、本発明は、デュアルゲート電極を備えるCMOSトランジスタ装置において、自己整合的にコンタクトホールの開口を可能とし、活性領域とウェルとの間の電気的リークの問題を解消できるよう、半導体装置を提供することを目的とする。

【0008】

【課題を解決するための手段】

上記目的を達成するため、本発明に基づく半導体装置は、PN対向分離膜によって平面的に互いに隔てられた2種類の活性領域であるPMOS領域およびNMOS領域を有する半導体基板と、上記半導体基板の上側において上記PMOS領域、上記PN対向分離膜および上記NMOS領域を一括して横切るように線状に延びるデュアルゲート電極とを備える。ただし、上記デュアルゲート電極は、上記PMOS領域上に位置するP型部と、上記NMOS領域上に位置するN型部と、上記P型部と上記N型部とに挟まれたPN接続部とを含む。上記PN接続部は、シリサイド化されたシリサイド領域を含む。上記シリサイド領域は、平面的に見て、上記PMOS領域とも上記NMOS領域とも離れており、上記PN対向分離膜の領域の内側に形成されている。

【0009】

【発明の実施の形態】

(実施の形態1)

(構成)

図1～図3を参照して、本発明に基づく実施の形態1における半導体装置について説明する。図1は、説明の便宜上、デュアルゲート電極4が直接見えるようにデュアルゲート電極4の上側を覆うシリサイド化防止膜8およびゲートエッチングマスク5を取り去った状態で表示している。図2は、図1におけるII-II

I線に関する矢視断面図である。図3は、図1におけるI I I - I I I線に関する矢視断面図である。この半導体装置は、図2、図3に示すように半導体基板1とデュアルゲート電極4とを備える。半導体基板1の表面は部分的に分離絶縁膜2に覆われている。半導体基板1は、図1に示すように、分離絶縁膜2の一部であるPN対向分離膜3によって平面的に互いに隔てられた2種類の活性領域20として、PMOS領域、NMOS領域を有する。

【0010】

デュアルゲート電極4は、半導体基板1の上側においてPMOS領域、PN対向分離膜3およびNMOS領域を一括して横切るように線状に延びている。デュアルゲート電極4は、PMOS領域上に位置するP型部としてのP型ポリシリコン部4aと、NMOS領域上に位置するN型部としてのN型ポリシリコン部4bとを含む。さらに、デュアルゲート電極4は、P型ポリシリコン部4aとN型ポリシリコン部4bとに挟まれたPN接続部を含む。PN接続部は、シリサイド領域9を含む。シリサイド領域は、シリサイド化された領域である。シリサイド領域9は、平面的に見て、PMOS領域ともNMOS領域とも離れて、PN対向分離膜3の内側に收まる位置関係にある。

【0011】

図1では、コンタクト12は記号化されて表示されている。コンタクト12は活性領域20に対して電気的接続を確保するためのものであり、平面的に見てデュアルゲート電極4を挟みこむ位置で活性領域20に形成されている。コンタクト12は、平面的に見てデュアルゲート電極4に一部重なる位置にある。

【0012】

図2に示すように、デュアルゲート電極4はPN接続部を除いて、サイドウォール絶縁膜6に覆われ、さらにその上からシリサイド化防止膜8によって覆われている。PN接続部においては、サイドウォール絶縁膜6もシリサイド化防止膜8もなく、シリサイド開口部7となっている。シリサイド領域9はシリサイド開口部7の内部に露出している。図3に示すように、デュアルゲート電極4にコンタクト12が重なる位置においては、シリサイド化防止膜8はないが、デュアルゲート電極4はサイドウォール絶縁膜6に覆われることによってコンタクト12

との間の電気的絶縁が保たれている。

【0013】

デュアルゲート電極4のうちシリサイド領域9以外の部分は、実質的にシリサイド化防止膜8に覆われている。この構成であれば、後述のように自己整合的にシリサイド化を行なうことができ、好都合である。

【0014】

(作用・効果)

本実施の形態における半導体装置は、デュアルゲート電極4を備えるCMOSトランジスタ装置でありながら、シリサイド領域9はPN接続部に限られ、デュアルゲート電極4の他の部分は、サイドウォール絶縁膜6に覆われているので、自己整合的にコンタクトホールの開口が可能であり、現に自己整合的に形成されたコンタクト12を備えている。この半導体装置では、活性領域20の全域をシリサイド化しなくてもよいので、活性領域とウェルとの間の電気的リークの問題を解消することができる。

【0015】

特に、この半導体装置では、シリサイド領域9が、平面的に見て、PMOS領域ともNMOS領域とも離れて、PN対向分離膜3の内側に収まる位置関係にあるが、このようになっていることが、シリサイド領域9と活性領域20との間の電気的リークを防止する上で好ましい。

【0016】

この半導体装置では、コンタクト12は、平面的に見てデュアルゲート電極4に一部重なる位置にあるが、全く重ならない位置関係であっても本発明の効果はある程度享受することができる。しかし、本発明を適用する場合、一部重なるようにすることが可能であり、一部重なるようにすることで、トランジスタの占有面積を削減することができるため、一部重なるように配置することが好ましい。試算によれば、コンタクトとデュアルゲート電極との間で距離をとる必要があった従来の構成に比べて、一部重なる構造にすることができる本実施の形態の構成では、トランジスタの占有面積を約3割削減できることがわかっている。

【0017】

また、コンタクト12は、平面的に見てシリサイド領域9を避けた位置に配置されている。すなわち、コンタクト12とシリサイド領域9とは重ならないようになっている。こうすることが、シリサイド領域9とコンタクト12との間の電気的リークを防止する上で好ましい。コンタクト12は、平面的に見てPN対向分離膜3も避けた位置に配置されている。こうすることが、コンタクト12による活性領域20との間の電気的接続を効率良く確保する上で好ましい。

【0018】

シリサイド化防止膜8は、シリコン窒化膜を含んでいることが好ましい。形成容易であり、電極部分のシリサイド化を防止するのに適当な材料だからである。

【0019】

(製造方法)

図4～図8、図2、図3を参照して、本実施の形態における半導体装置の製造方法について説明する。なお、図4、図6および図8は、図2と同じ見方での断面図である。図5、図7および図9は、図3と同じ見方での断面図である。

【0020】

まず、図4、図5に示すように、半導体基板1の上面にゲート酸化膜13を形成し、その上側にデュアルゲート電極4の材料となるポリシリコン膜を形成する。このポリシリコン膜は、公知技術を用いて、NMO_S領域ではN型ポリシリコンとなり、PMO_S領域ではP型ポリシリコンとなるように形成する。このポリシリコン膜の上側を覆うようにシリコン窒化膜を含んだ絶縁膜を形成し、この絶縁膜をパターニングしてゲートエッチングマスク5とする。このゲートエッティングマスク5をエッティングマスクに用いて、ポリシリコン膜のパターニングを行なう。こうして、図4、図5に示すデュアルゲート電極4の構造が得られる。

【0021】

図6、図7に示すように、ゲートエッティングマスク5に覆われたデュアルゲート電極4の側面を覆うようにサイドウォール絶縁膜6を形成する。

【0022】

図8、図9に示すように、全面を上側から覆うようにシリサイド化防止膜8を形成する。シリサイド化防止膜8はシリコン窒化膜で形成することが好ましい。

シリサイド化防止膜8およびゲートエッティングマスク5をPN接続部のみ開口するようにエッティングなどで除去する。こうして、図8に示すようにシリサイド開口部7が形成される。デュアルゲート電極4のうちこのシリサイド開口部7に露出した部分のみがシリサイド化されるように、シリサイド化を行なう。デュアルゲート電極4のうちシリサイド領域とすべき部分以外は実質的にシリサイド化防止膜8で覆われているのでシリサイド化は自己整合的に行なうことができる。こうして、図8に示すように、シリサイド領域9が形成される。

【0023】

図2、図3に示すように、上側に層間絶縁膜10を堆積させる。この層間絶縁膜10に対して、平面的に見てデュアルゲート電極4にオーバーラップする形で自己整合的にコンタクトホールを開口する。このコンタクトホールの開口の際には、シリサイド化防止膜8はストップ膜として利用される。コンタクトホールが平面的に見て活性領域20に直接重なり合う部分においてのみコンタクトホールは活性領域20の表面にまで達する。コンタクトホールに導電体を充填し、コンタクト12を形成する。こうして、図1～図3に示した半導体装置を得ることができる。

【0024】

(ジャンクションリーク特性)

従来の構造でシリサイド領域の上にコンタクトが重なった場合、ジャンクションリークのリーク電流値が図11に示すようにばらつくことがあった。しかし、本発明の適用により、シリサイド領域の上にコンタクトが重ならない構成にした場合、図10に示すように、ジャンクションリークのリーク電流値はばらつきが小さくなり、ジャンクションリーク特性をコントロールすることができるようになる。

【0025】

なお、今回開示した上記実施の形態はすべての点で例示であって制限的なものではない。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更を含むものである。

【0026】

【発明の効果】

本発明によれば、デュアルゲート電極を備えるCMOSトランジスタ装置において、自己整合的にコンタクトホールの開口を可能とし、活性領域とウェルとの間の電気的リークの問題を解消することができる。

【図面の簡単な説明】

【図1】 本発明に基づく実施の形態1における半導体装置の平面図である。

【図2】 図1におけるI—I—I線に関する矢視断面図である。

【図3】 図1におけるI—I—I—I—I—I線に関する矢視断面図である。

【図4】 本発明に基づく実施の形態1における半導体装置の製造方法の第1の工程における縦断面図である。

【図5】 本発明に基づく実施の形態1における半導体装置の製造方法の第1の工程における横断面図である。

【図6】 本発明に基づく実施の形態1における半導体装置の製造方法の第2の工程における縦断面図である。

【図7】 本発明に基づく実施の形態1における半導体装置の製造方法の第2の工程における横断面図である。

【図8】 本発明に基づく実施の形態1における半導体装置の製造方法の第2の工程における縦断面図である。

【図9】 本発明に基づく実施の形態1における半導体装置の製造方法の第2の工程における横断面図である。

【図10】 本発明に基づく実施の形態1における半導体装置のジャンクションリリーク特性を示すグラフである。

【図11】 従来技術に基づく半導体装置のジャンクションリリーク特性を示すグラフである。

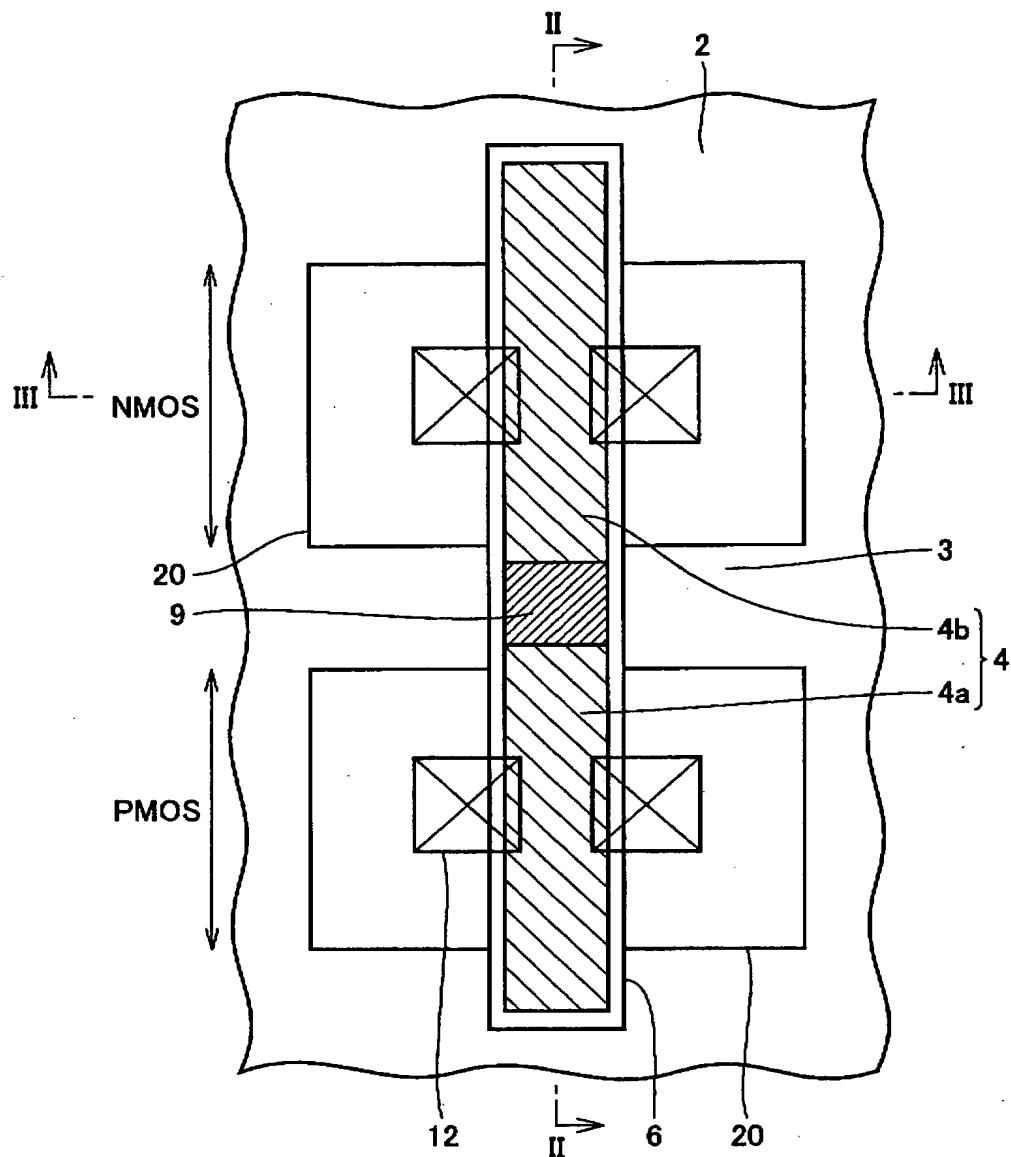
【符号の説明】

1 半導体基板、2 分離絶縁膜、3 P N対向分離膜、4 デュアルゲート電極、4 a P型ポリシリコン部、4 b N型ポリシリコン部、5 ゲートエッ

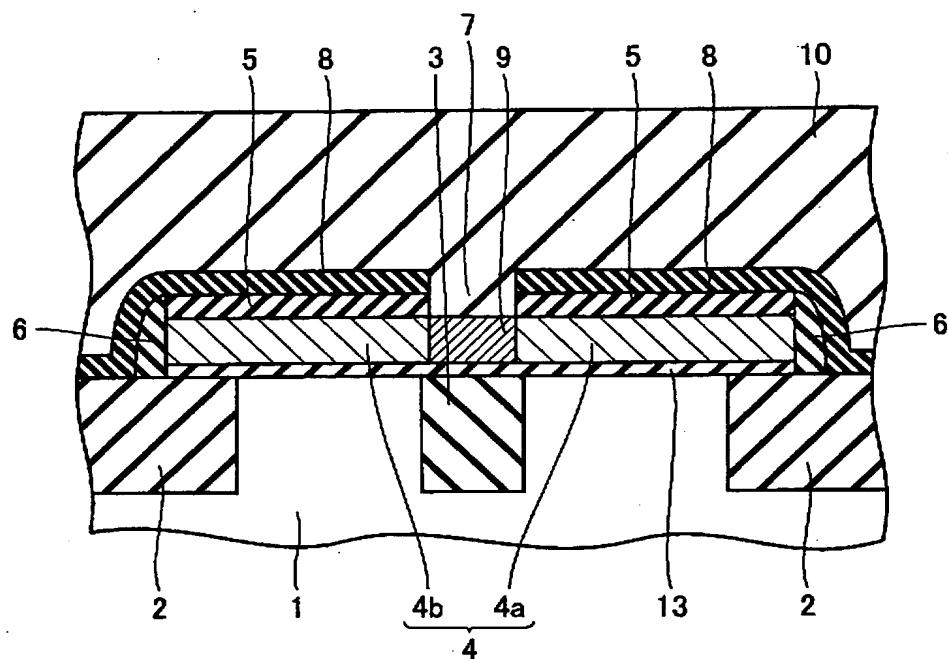
チングマスク、6 サイドウォール絶縁膜、7 サリサイド開口部、8 シリサイド化防止膜、9 シリサイド領域、10 層間絶縁膜、11 コンタクトホール、12 コンタクト、13 ゲート酸化膜、14 ソース／ドレイン領域、15 コンタクト、20 活性領域、21 PMOS領域、22 NMOS領域。

【書類名】 図面

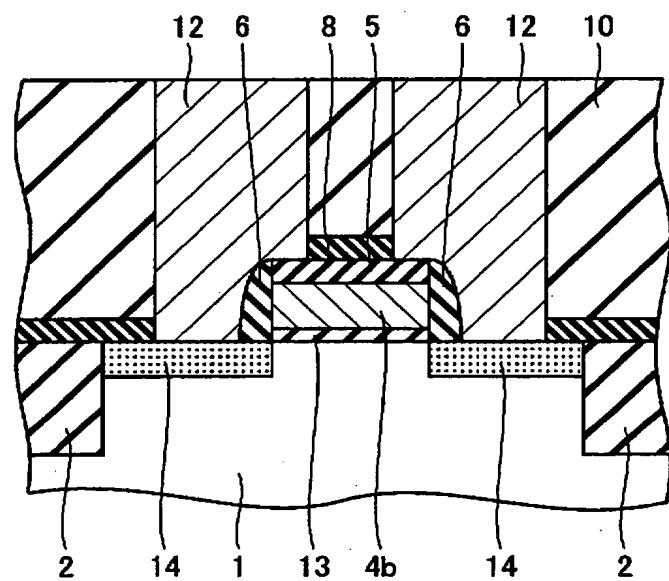
【図1】



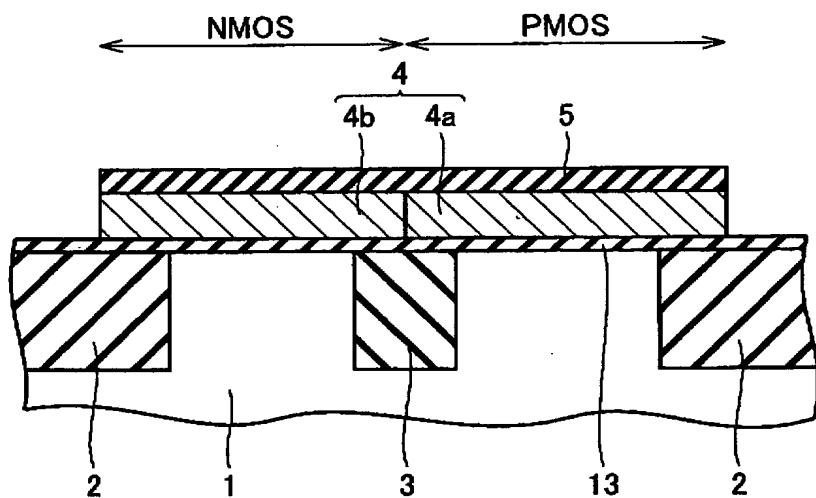
【図2】



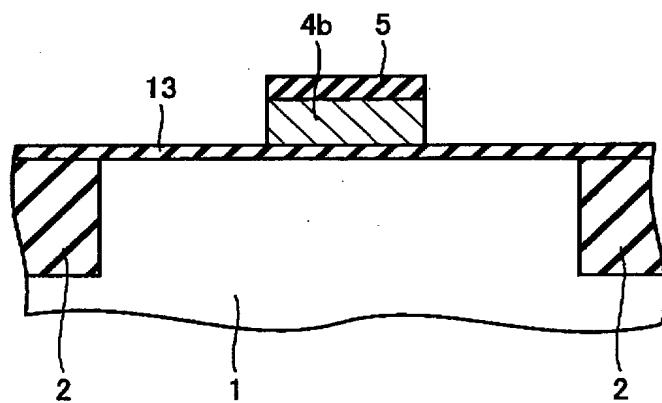
【図3】



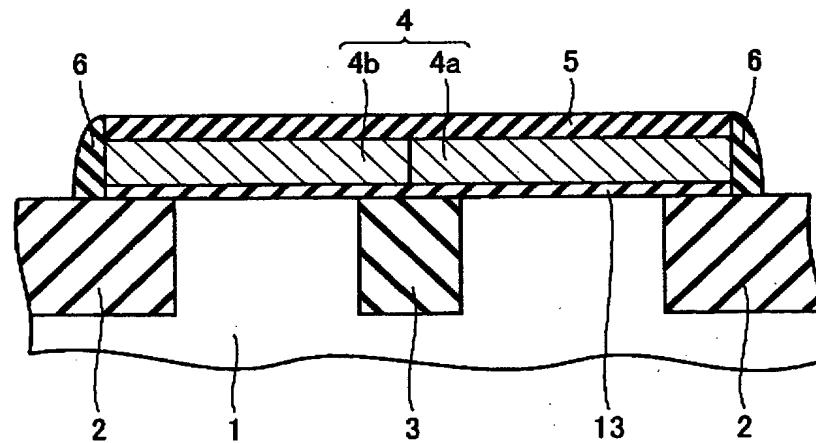
【図4】



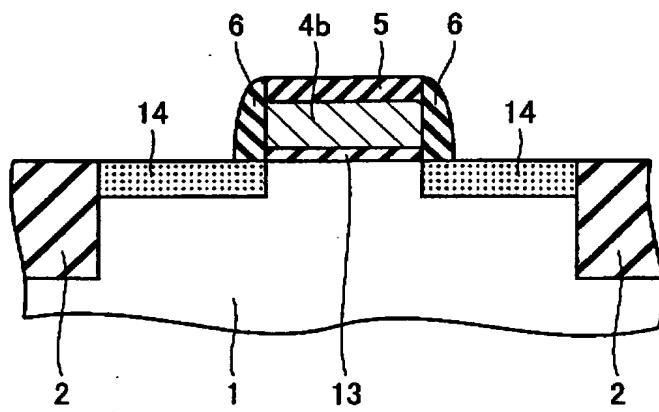
【図5】



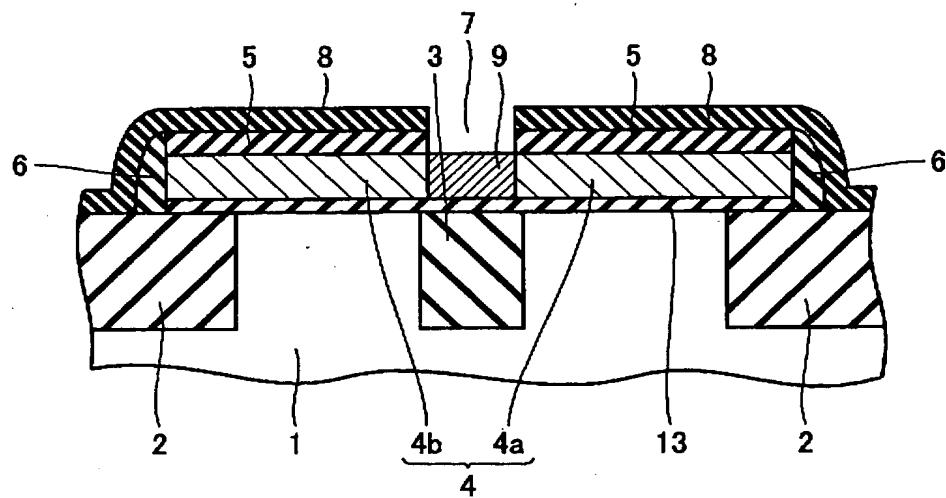
【図6】



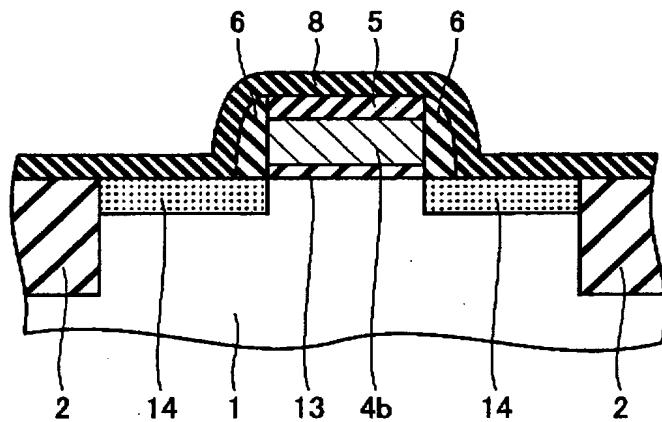
【図7】



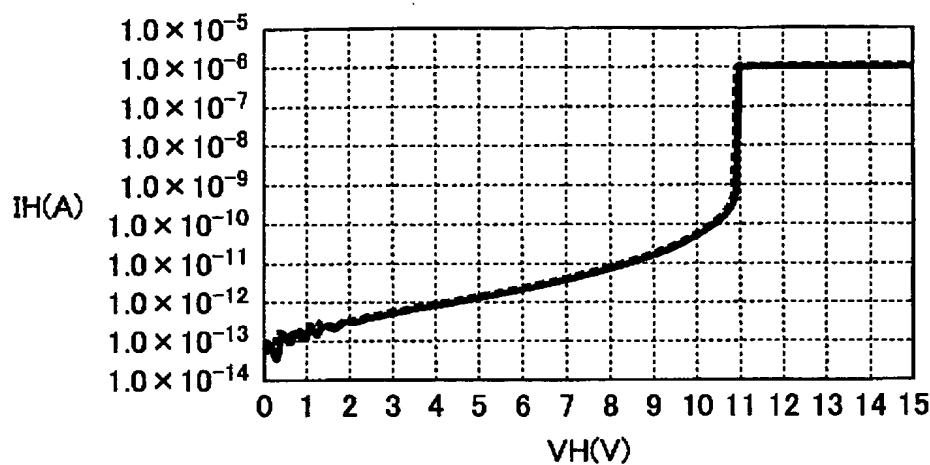
【図8】



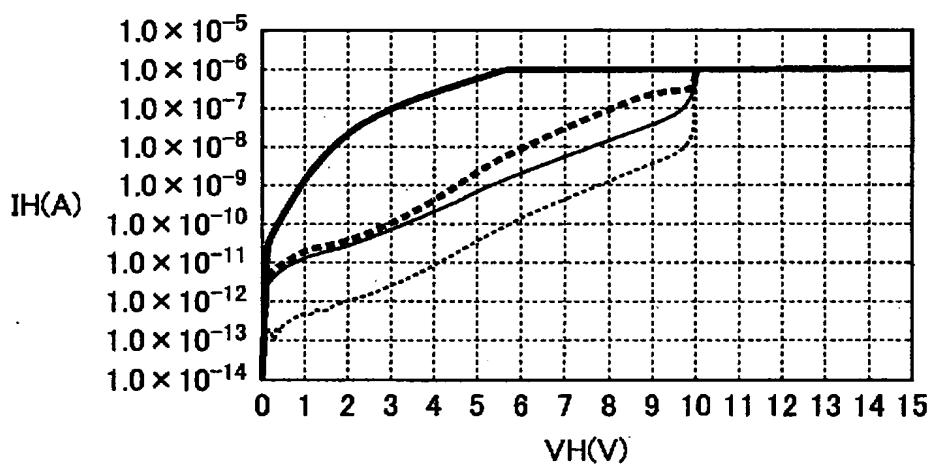
【図9】



【図10】



【図11】



【書類名】 要約書

【要約】

【課題】 デュアルゲート電極を備えるCMOSトランジスタ装置において、自己整合的にコンタクトホールの開口を可能とし、活性領域とウェルとの間の電気的リークの問題を解消できるよう、半導体装置を提供する。

【解決手段】 半導体装置は、PN対向分離膜3によって平面的に互いに隔てられた2種類の活性領域20であるPMOS領域およびNMOS領域を有する半導体基板1と、その上側においてPMOS領域、PN対向分離膜3および上記NMOS領域を一括して横切るように線状に延びるデュアルゲート電極4とを備える。デュアルゲート電極4は、P型部4aと、N型部4bと、これらに挟まれたPN接続部とを含む。PN接続部はシリサイド領域9を含む。シリサイド領域9は、平面的に見てPMOS領域ともNMOS領域とも離れており、PN対向分離膜3の領域の内側に形成されている。

【選択図】 図1

出願人履歴情報

識別番号 [503121103]

1. 変更年月日 2003年 4月 1日

[変更理由] 新規登録

住 所 東京都千代田区丸の内二丁目4番1号
氏 名 株式会社ルネサステクノロジ